

Gain-control method and device for cascaded amplifiers

Patent number: JP2003347873

Publication date: 2003-12-05

Inventor:

Applicant:

Classification:

- **international:** H03G3/30; H03G3/20

- **european:**

Application number: JP20020150944 20020524

Priority number(s): JP20020150944 20020524

Also published as:

 US2003218501 (A1)

Abstract not available for JP2003347873

Abstract of correspondent: **US2003218501**

A gain-control method and device that enable high-speed gain switching of cascaded programmable gain amplifiers (PGA) without a high-resolution A/D converter is provided. In one example, the gain-control method for cascaded PGAs detects all the input levels of the PGAs, calculates the optimum gains of the PGAs each on the basis of the detection results, and sets the obtained optimum gains of each of the PGAs at one time, whereby high-speed gain switching becomes possible. The gain-control device for cascaded PGAs that implements this gain-control method includes peak hold circuits that retain the input levels of each of the PGAs, a switch group that sequentially switches outputs of the peak hold circuits, an A/D converter that sequentially detects the outputs from the switch group, and a control and operation device that calculates the optimum gains of the PGAs from the detection results by the A/D converter to set the calculated optimum gains simultaneously to each of the PGAs.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-347873

(P2003-347873A)

(43) 公開日 平成15年12月5日 (2003.12.5)

(51) Int.Cl.⁷

H 03 G 3/30
3/20

識別記号

F I

H 03 G 3/30
3/20

テマコード(参考)
B 5 J 1 0 0
E

【特許請求の範囲】

【請求項1】多段接続した複数のプログラマブルゲインアンプのゲイン制御方法であって、各前記プログラマブルゲインアンプの入力レベルを検出し、このレベル検出の結果により前記各プログラマブルゲインアンプのゲインの最適値を演算し、この各最適値をフィードフォワードにより全てのプログラマブルゲインアンプのゲインを実質的に一度で設定するゲイン制御を行うことを特徴とする多段アンプのゲイン制御方法。

【請求項2】請求項1に記載の多段アンプのゲイン制御方法において、前記ゲイン制御を、受信データ信号の直前の準備期間を使って行うことを特徴とする多段アンプのゲイン制御方法。

【請求項3】請求項1または請求項2に記載の多段アンプのゲイン制御方法において、前記レベル検出は、各前記プログラマブルゲインアンプの入力信号のピーク値を保持し、この保持した各ピーク値をAD変換することにより検出することを特徴とする多段アンプのゲイン制御方法。

【請求項4】請求項1に記載の多段アンプのゲイン制御方法において、前記レベル検出は、各前記プログラマブルゲインアンプの入力信号のピーク値を保持し、保持した前記各ピーク値を順次切り換えて逐次AD変換することにより検出することを特徴とする多段アンプのゲイン制御方法。

【請求項5】複数のプログラマブルゲインアンプと、各前記プログラマブルゲインアンプの入力レベルを検出するレベル検出手段と、前記レベル検出手段の検出結果により各前記プログラマブルゲインアンプのゲインの最適値を演算し全てのプログラマブルゲインアンプのゲインを実質的に一度で設定するゲイン設定手段を備えることを特徴とする多段アンプのゲイン制御装置。

【請求項6】請求項5記載の多段アンプのゲイン制御装置において、前記ゲイン設定手段は、受信データ信号の直前の準備期間を使って行うことを特徴とする多段アンプのゲイン制御装置。

【請求項7】請求項5または請求項6に記載の多段アンプのゲイン制御装置において、前記レベル検出手段は、各前記プログラマブルゲインアンプの入力信号のピーク値を保持する複数のピークホールド回路と、各前記ピークホールド回路の出力をAD変換するためのAD変換器とから構成することを特徴とする多段アンプのゲイン制御装置。

【請求項8】請求項7記載の多段アンプのゲイン制御装置において、更に各前記ピークホールド回路の後段に切り換えスイッチをそれぞれ設け、各前記スイッチを順次切り換えて各

前記ピークホールド回路の出力を順次前記AD変換器に接続して各前記ピークホールド回路の出力レベルを逐次AD変換する構成としたことを特徴とする多段アンプのゲイン制御装置。

【請求項9】請求項5～8のいずれかに記載の多段アンプのゲイン制御装置において、各前記プログラマブルゲインアンプは、演算増幅器の負帰還による反転増幅回路を用い、前記演算増幅器のゲインを決定する帰還抵抗の値を各スイッチの切り換えで調整することにより該プログラマブルゲインアンプのゲインを可変できるように構成することを特徴とする多段アンプのゲイン制御装置。

【請求項10】請求項7に記載の多段アンプのゲイン制御装置において、前記ピークホールド回路と前記AD変換器は、各前記プログラマブルゲインアンプの入力部にそれぞれ設けることを特徴とする多段アンプのゲイン制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多段に接続されたプログラマブルゲインアンプのゲイン制御方法及び装置に係り、特に、無線受信機用の集積回路（以下ICと略す）内の多段プログラマブルゲインアンプのゲインを高速に制御するのに好適なゲイン制御方法及び装置に関する。

【0002】

【従来の技術】図1に従来の一般的な無線受信機の構成を示す。アンテナ1から入力されたギガヘルツ帯の高周波信号は、低雑音アンプ2により増幅された後、ミキサ4により局部発振回路3からの参照波と混合され、メガヘルツ帯に周波数変換される。さらに、このメガヘルツ帯に変換された信号は、複数のプログラマブルゲインアンプ（以下、PGAと略す）5、7、9とバンドパスフィルタ（以下、BPFと略す）6、8を通った後、アナログ/デジタルコンバータ（以下、ADCと略す）10によりデジタル信号に変換され、デジタル復調回路11により信号上のデータが復元される。

【0003】無線受信機の場合、アンテナから入力される信号は非常に広範囲に渡るレベルを持つが、多段に接続されたPGAにより適切にレベル変換がなされ、最終的にはADCの入力ダイナミックレンジ内で最大限に振れるように制御される。

【0004】図1に示すようにPGAをBPFの前段に配置するのは、BPFがとかく大きな雑音を発生しがちなためである。このような構成をとることにより、信号対雑音比を有利にことができる。

【0005】図2は、無線通信方式の一つである近距離無線アクセスシステムの場合のPGAに入力される信号波形図である。図2に示すように、データ信号期間 T_{DT} の前に、約 $6 \mu s$ のブリアンブル信号期間 T_{PB} がある。

PGAはこのプリアンブル信号期間、すなわち受信データ信号の直前の準備期間を利用して最適なゲインに制御され、データ信号期間中はそのゲインを保持する。このゲインの決定は、プリアンブル信号が十分に立ち上がった後で行う必要がある。このため、PGAの最適なゲインの決定に正味利用できるプリアンブル期間は、現実には非常に短い。

【0006】図3に、従来のPGAのゲイン制御方法の一例を示す。同図において、参照符号31、33、35は、0dBから20dBの間でゲインを可変できるPGA、32、34はBPF、36はADC、37は演算制御回路である。この例は特にPGAが3段接続された場合であるが、より多段の場合でも同様に議論できる。このような従来例としては、例えば、2002アイ・エス・エス・シー・シー・ダイジェスト・オブ・テクニカルペーパー、Vol. 45、ビジュアルサプリメント、第72頁(2002 ISSCC Digest of Technical Paper, vol. 45, visual supplement, p. 72.)に開示されている(以下、「従来例1」と呼ぶ)。

【0007】このように構成される多段アンプのゲイン制御は、従来、次の様に行われていた。すなわち、各PGA31、33、35を経由して来た最終的な信号のレベルをADC36で検出し、その検出結果に基づいて演算制御回路37が新しいゲインを決定し、そのゲインを各PGAにフィードバックして各PGAのゲインを同時に、または順次切り換えていた。

【0008】各PGA31、33、35のゲインの初期設定値は任意であるが、通常プリアンブル期間前では信号が小さいため、各PGAのゲインは最大値、例えば+20dBに初期設定されている。ADC36に入る信号のレベルが、ADC36の入力ダイナミックレンジ内で最大になったと演算制御回路37により判定されるまで、ゲイン切り換えが逐次繰り返される。

【0009】図4に、この制御方法によるゲイン制御の一例のタイミングチャートを示す。なお、同図において、(I)は初段のPGA31の入力信号レベル、(II)はそれぞれ初段、2段目、3段目のPGA31、33、35の出力信号、(III)はADCの変換クロック信号である。

【0010】この図4の例は、特に初段PGA31の入力信号レベルが-10dB(ADCの入力ダイナミックレンジを0dBとする。)の場合である。入力が-10dBの場合、t=t0の時点では各PGA31、33、35の出力は飽和レベルにあり、AD変換の結果も目標値をオーバーしているため、演算制御回路37は各PGA31、33、35のゲインを、例えば全て0dBに設定する指示を出す。この場合、次のピーク時(t=t1の時点)ではPGA35の出力レベル(すなわち、ADC36の入力レベル)は-10dBとなり、小さすぎるため、今度はPGA31のゲインを-5dBに大きくす

る指示を出す。次のピーク時(t=t2の時点)ではPGA35の出力レベルは、まだADC36の入力ダイナミックレンジ内で最大ではないので、さらにPGA31のゲインを-5dBに大きくする指示を出す。これを収束するまで繰り返す。図4の例では、最終的なゲインが確定するまでt=t0, t1, t2の各時点の次のクロックの立ち上がりで、合計3回の切り換えを行っている。なお図4では、説明を簡略化するためPGA31のゲイン切り換えのみで対応している。

【0011】図3のように各PGAの段間に挿入されたBPF32、34は、応答時間が遅いため、ゲイン切り換えをする度に信号レベルが安定するまで1サイクル程度待たなければならない。通常は、こうしたゲイン切り換えを3回から5回繰り返す必要があるので、信号周波数f=2MHzの入力信号の場合、トータルで3~5μs以上の時間を収束するまでに要する。上記例は、PGA31のみの変化で対応できた場合である。なお、PGA31だけでは対応できないようなさらに小さい入力の場合には、PGA33、35のゲインの切り換えを行って対処すればよい。

【0012】次に、図5に別の従来例として、フィードフォワードによるPGAゲイン制御方法を示す。図5において、参照符号51は遅延回路、52は検出器、53はADC、54~56はPGAである。この制御方法は、多段に接続されたPGA54、55、56の初段に入力される信号のレベルを検出器52およびADC53で検出し、その結果に基づいてフィードフォワードにより、各PGAのゲインを同時に設定するという方法である。遅延回路51は、リアルタイム処理のために設けられている。この制御方法を用いるとゲイン切り換えは一度で終了する。なお、このような制御方法の例としては、例えば、特開平9-191221号公報が知られている(以下、「従来例2」と呼ぶ)。

【0013】

【発明が解決しようとする課題】しかしながら、前述した図3に示したフィードバックを用いた従来例1の制御方法によれば、最終的に最適なゲインを確定するまでにゲイン切り換えを何度も繰り返す必要があり、その度にバンドパスフィルタによる応答を待つためのウェイト時間を確保しなければならないため、収束にかなりの時間がかかるという問題がある。実際問題として、前述した6μsのプリアンブル期間T_{PR}では収束せずに、データ期間T_{DT}までゲイン決定がずれ込むという例が多々ある。

【0014】また、図5に示したフィードフォワードを用いた従来例2の制御方法によれば、図3に示した従来例1の制御方法のように収束に時間がかかるという問題は回避されるが、初段のPGAの入力レベルのみを検出して全てのPGAのゲインを決定しなければならないので、非常に高分解能(通常14ビット程度)の高速AD

Cが必要となるという問題がある。

【0015】そこで、本発明の目的は、高分解能な高速ADCを必要とせずに、高速なゲイン切り換えを可能とする多段アンプのゲイン制御方法及び装置を提供することにある。

【0016】

【課題を解決するための手段】本願により開示される本発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。すなわち、本発明に係る多段アンプのゲイン制御方法は、多段に接続された各PGAの入力レベルを検出し、そのレベル検出の結果により各PGAの最適なゲインの値を演算し、この各最適値をフィードフォワードにより、全てのPGAのゲインを実質的に同時に設定するゲイン制御を行うことを特徴としたものである。

【0017】また、本発明に係る多段アンプのゲイン制御装置は、複数のPGAと、各PGAの入力レベルを検出する検出手段と、このレベル検出手段の検出結果により各PGAのゲインの最適値を演算し、全てのPGAのゲインを実質的に一度で設定する設定手段とを備えていることを特徴とする。この場合、前記レベル検出手段は、各PGAの入力信号のピーク値を保持するピークホールド回路と、このピークホールド回路の出力をAD変換するためのAD変換器とから構成すれば好適である。また、前記ピークホールド回路と前記AD変換器は、各前記プログラマブルゲインアンプの入力部にそれぞれ設けてもよい。

【0018】

【発明の実施の形態】以下、本発明に係る多段アンプのゲイン制御方法及び装置の好適な実施形態について、添付図面を参照しながら詳細に説明する。

【0019】<実施形態1>図6に、本発明の第1の実施形態例を示す。なお、本実施形態例は、0~20dBのゲイン可変範囲を持つPGAを3段接続した場合の構成例であるが、より多段の構成においても同様の議論が成り立つ。同図において、参照符号601、603、605は、0~20dBの間でゲインを可変できるPGA、602、604はBPF、PH1~PH3はピークホールド回路である。さらに、609はスイッチSW0~SW3からなるスイッチ群、610はADC、611はスイッチSW0~SW3を制御するスイッチ制御回路、612は演算回路、613はゲイン制御回路、614はクロック源である。

【0020】このように構成される多段アンプの制御動作の概略を説明する。各PGAのゲインの初期設定値は、通常、最大値である+20dBに設定されている。

【0021】まず最初(後述する図7のt=t0の時点)に、スイッチSW0~SW3を順次高速に切り換えることにより、全てのPGA601、603、605の入力信号レベルをADC610で検出する。なお、図6

では、スイッチSW2をオンにしてPGA603の入力信号レベルがピークホールド回路PH2を介してADC610へ入力されている状態を示している。

【0022】次に、ADC610で検出された各PGA601、603、605の入力レベルに基づいて、それぞれの最適なゲインが演算回路612において算出され、後述する図7のt=t1の時点において同時にゲイン制御回路613により、各PGAを、算出された最適なゲインに設定して、ゲイン切り換えが完結する。演算回路612は、クロック源614からの外部クロックにより動作し、各PGAの入力レベルに基づいた最適なゲインの算出、スイッチ制御回路611、ゲイン制御回路613のコントロールなどを行う。

【0023】上記スイッチSW0~SW3の順次高速切り替え動作の内、スイッチSW1~SW3の切り替え動作は各PGA入力信号のレベル検出を行うためであり、スイッチSW0の切り替え動作は、演算回路612で入力レベル検出を行っている間でも、PGA605の出力をADC610を介して不図示のIC内の後段に送ることにより、プリアンプ信号をIC内の後段で検出できるようにするためであり、各PGA601、603、605のゲインがゲイン制御回路613により設定された後は、スイッチSW0はオンにしたままである。このとき、スイッチSW1~SW3はオフにしたまます。

【0024】図7は、図6のゲイン制御回路構成における各部信号のタイミングチャートである。なお、図7ではPGA入力信号のレベル検出を行うためのスイッチSW1~SW3を示し、スイッチSW0は省略する。以下、図7を用いて、更に詳しく制御動作を説明する。

【0025】図7において、(I)はPGA601の入力信号レベル、(II)はPGA601、603、605の出力信号レベル、(III)はADCの変換クロック信号と各スイッチSW1~SW3のオン・オフを制御するスイッチ制御回路611のSW1~SW3制御信号とゲイン制御回路613からのPGAゲイン制御信号C1~Cnである。

【0026】まず最初(t=t0)に、スイッチ制御回路611によりスイッチSW1のみをオンにし、ADC610は、ピークホールド回路PH1によりホールドされたPGA601の入力レベルを検出する。

【0027】次のADCの変換クロックサイクルではスイッチSW2のみをオンにし、ADC610は、ピークホールド回路PH2によりホールドされたPGA603の入力レベルを検出する。同様に、次のADCの変換クロックサイクルではスイッチSW3のみをオンにして、PGA605の入力レベルを検出する。

【0028】演算回路612は、こうして検出された各PGA601、603、605の入力信号レベルに基づいて各PGAの最適なゲインを算出し、t=t1の時点でゲイン制御回路613を通じて全てのPGAのゲイン

を同時に最適な値に切り換える。これによりPGAのゲイン切り換えは完結し、トータルでも入力信号の1サイクル以内程度で収束する。

【0029】図7の場合、初段のPGA601への入力信号レベルを例えば-10dB（ただし、ADC610の入力ダイナミックレンジを0dBとする。）とする。各PGA601, 603, 605のゲインの初期設定値は+20dBなので、初段、2段目、3段目のPGA601, 603, 605の出力信号レベルは、図7の(I)に示したように飽和している。したがってADC610は、初段、2段目、3段目の各PGAの入力レベルを、それぞれ、-10dB、「飽和」、「飽和」と検出するので、演算回路612は、最適なゲインはそれぞれ+10dB、0dB、0dBと判断する。

【0030】図8は、初段のPGA601への入力信号レベルが-30dB（ただし、ADCの入力ダイナミックレンジを0dBとする。）の場合のタイミングチャートである。各PGAのゲインの初期設定値は+20dBなので、初段、2段目、3段目の入力レベルはそれぞれ、-30dB、-10dB、「飽和」であると検出される（ADC610入力も飽和である）。したがって演算回路612は、最適なゲインはそれぞれ+20dB、+10dB、0dBと判断する。ここで、ADC610は必ずしも-30dBの信号レベルを検出できる必要はなく、-20dB以下ということを検出できるだけで良い。したがって、たかだか-20dB～0dBの信号レベルを検出できる程度の分解能（5～6ビット程度）で良いので、前述した従来例2のような高分解能のADCを必要としない利点がある。

【0031】図9にPGAの内部回路例を示す。これは、演算増幅器（以下「オペアンプ」と略す）91にネガティブフィードバックを施すことで実現する反転アンプであり、ゲインは-R2/R1（R2は、オペアンプの反転入力端子と出力端子の間の抵抗）である。同図において、参照符号91はオペアンプ、92はスイッチ群、93はデコーダ回路であり、ゲイン制御回路613からのPGA制御信号C1～Cnに基づいてデコーダ回路93で生成された信号S1～Snにより、スイッチ群92内の各スイッチSWのオン・オフが制御されて、抵抗R2が適切な値になり、所望のゲインが実現される。

【0032】以上、本実施形態例では、切り替えスイッチSW0をPGA605の出力とADC610との間に設けたが、プリアンプ信号をIC内の後段のデジタル信号処理回路DSP(Digital Signal Processor)において、より早期に検出できるようにする必要がある場合には、各PGAのレベル検出を順次スイッチ切り換えによるゲイン制御を行っている期間中に、並行してメインの信号処理ができるようにするためにスイッチSW0を省略して、図13に示すように、ADC165を追加した構成としても良い。

【0033】<実施形態2>図10に、本発明の第2の実施形態例を示す。本実施形態例では、PGAを3段接続した場合の構成であるが、より多段の場合も同様の議論が成立する。同図において、参照符号102、106、110はPGA、104、108はBPF、PH1～PH3はピークホールド回路、103、107、111はゲイン制御回路、LV1～LV3はレベル検出回路、115はクロック源、116はタイミング生成回路、117はADCである。なお、PGAとしては前記実施形態例1と同様に図9に示した内部回路構成のPGAを用いる。

【0034】このように構成される本実施形態例のゲイン制御方法の考え方は基本的に実施形態例1と同じであるが、本実施形態例の場合は、各PGAの入力信号レベルの検出を、それぞれの段に設けたピークホールド回路とレベル検出回路で行う。

【0035】図11は、図10に示した構成のゲイン制御回路における各部信号のタイミングチャートである。なお、図11において、(I)はPGA102の入力信号レベル、(II)は各PGAの出力信号レベル、(III)はADCの変換クロック信号CL_{ADC}と、各レベル検出回路の検出タイミングを制御するためのタイミング生成回路116からのレベル検出タイミング制御信号TM_{LV}と、各ゲイン制御回路のゲイン切り換えタイミングを制御するためのゲイン切換タイミング制御信号TM_{GA}と、各ゲイン制御回路からのPGAゲイン制御信号C1～Cnである。

【0036】タイミング生成回路116により供給されるレベル検出タイミング制御信号TM_{LV}に同期して、PGA1～PGA3の入力信号レベルが各ピークホールド回路PH1～PH3を介して一斉に各レベル検出回路LV1～LV3により検出される。各ゲイン制御回路103、107、111はその結果に基づき、タイミング生成回路により供給されるゲイン切換タイミング制御信号TM_{GA}に同期して、同時に（図11では、t=t_sの時点）全てのPGAのゲインを最適な値に切り換える。

【0037】このように、各段のレベル検出およびゲイン設定はそれぞれ同時に実行されるため、図6に示した構成の制御回路よりも高速にゲイン設定を完結できる。

【0038】図12に、本実施形態例で用いるレベル検出回路の内部回路の一例を示す。同図において、参照符号121はそれぞれ適切な値を持つ多数の抵抗が直列接続された抵抗群、122は多数のコンパレータからなるコンパレータ群、123はデコーダ回路である。この回路は基本的には並列比較型のADCと同じ構成であり、基準電圧E_{ref}の抵抗分割で得られる細かく設定された電圧とアナログ入力信号をコンパレータ群122を用いて比較することにより入力信号レベルを検出し、デコーダ回路123によりデジタル信号に変換する。

【0039】ただし、ADCを本実施形態例のレベル検

出回路に用いる場合、PGAの入力信号レベルは非常に広範囲に渡るので、入力信号レベルを対数変換（デシベル変換）して出力した方が都合がよい。このために、抵抗分割は通常のADCのように等分されず、計算に基づく適切な比で分割されている。実施形態例1の場合と同様に、本実施形態例でも特に高分解能のレベル検出回路を必要とせずに従来例よりも高速にゲイン切り換えを行うことができる利点を有する。

【0040】以上、本発明の好適な実施形態例について説明したが、本発明は上記実施形態例に限定されるものではなく、本発明の精神を逸脱しない範囲内において、種々の設計変更をなし得ることは勿論である。

【0041】

【発明の効果】前述した実施の形態から明らかなように、本発明の多段アンプのゲイン制御方法及び装置によれば、特に高分解能なADCを用いなくても、従来よりも高速なPGAのゲイン切り換えが可能になる。

【0042】さらに、実施形態2では本発明に係る多段アンプのゲイン制御方法及び装置はレベル検出回路として、多段アンプのゲイン制御装置を内蔵するIC内でそのシステムが本来持っているADCを適用できるので、新規の回路が不要となり、消費電力、コスト低減面での効果も著しい。

【図面の簡単な説明】

【図1】一般的な無線受信機の回路構成例を示すブロック図。

【図2】近距離無線アクセスシステムの信号波形を示す図。

【図3】フィードバックによるPGAゲイン制御方法を用いた回路構成を示す従来例1のブロック図。

【図4】図3の回路構成におけるタイミングチャート。

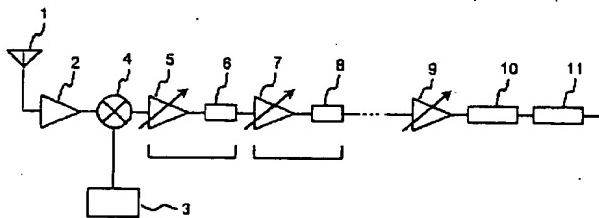
【図5】フィードフォワードによるPGAゲイン制御方法を用いた回路構成を示す従来例2のブロック図。

【図6】本発明に係る多段PGAのゲイン制御方法及び装置の第1の実施形態例を示す回路ブロック図。

【図7】図6の回路構成における初段PGAの入力信号レベルを-10dBとした時の一例を示すタイミングチャート。

【図1】

図 1



【図8】図6の回路構成における初段PGAの入力信号レベルを-30dBとした時の一例を示すタイミングチャート。

【図9】本発明で用いるPGAの回路構成の一例を示す内部回路図。

【図10】本発明に係る多段PGAのゲイン制御方法及び装置の第2の実施形態例を示す回路ブロック図。

【図11】図10の回路構成におけるタイミングチャート。

【図12】図10の回路構成で用いるレベル検出回路の一例を示す内部回路図。

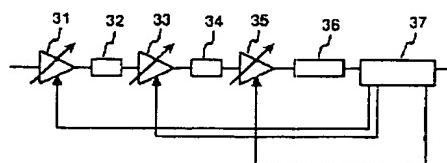
【図13】本発明に係る多段PGAのゲイン制御方法及び装置の第1の実施形態例の変形例を示す回路構成ブロック図。

【符号の説明】

1…アンテナ、2…低雑音アンプ、3…局部発振回路、4…ミキサ、5, 7, 9…プログラマブルゲインアンプ(PGA)、10, 36, 610, 615…AD変換器(ADC)、11…デジタル復調回路、6, 8, 32, 34…バンドパスフィルタ(BPF)、31, 33, 35…PGA、37…演算制御回路、51…遅延回路、52…検出回路、53…高速ADC、54～56, 102, 106, 110…PGA、91…演算増幅器(オペアンプ)、92, 609…スイッチ群、93, 123…デコーダ回路、103, 107, 111…ゲイン制御回路、104, 108, 602, 604…BPF、115, 614…クロック源、116…タイミング生成回路、121…抵抗群、122…コンパレータ群、601, 603, 605…PGA、611…スイッチ制御回路、612…演算回路、613…ゲイン制御回路、C1～Cn…PGA制御信号、CL_{ADC}…ADCの変換クロック信号、LV1～LV3…レベル検出回路、PH1～PH3…ピークホールド回路、S1～Sn…デコーダ回路の出力信号、SW, SW0～SW3…スイッチ、T_{DT}…データ信号期間、T_{PR}…プリアンブル信号期間、TM_{GA}…ゲイン切換タイミング制御信号、TM_{Lv}…レベル検出タイミング制御信号。

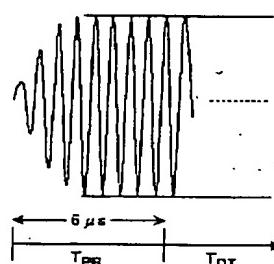
【図3】

図 3



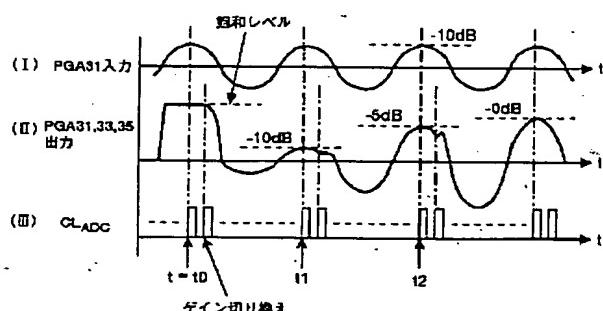
【図2】

図2



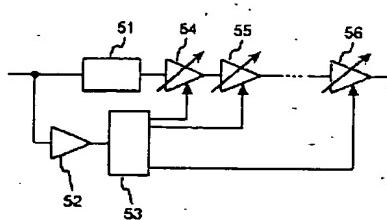
【図4】

図4



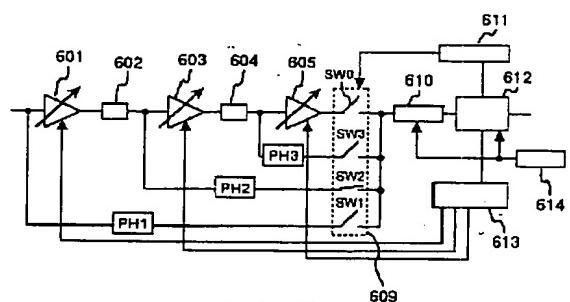
【図5】

図5



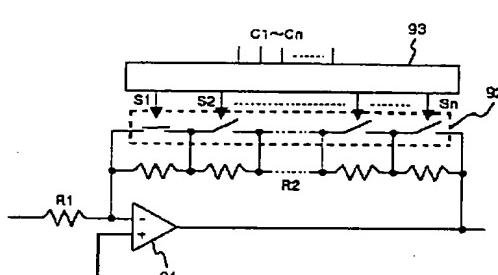
【図6】

図6



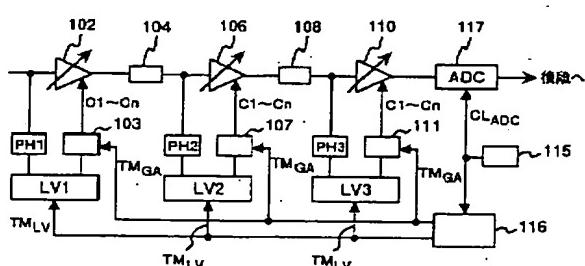
【図9】

図9



【図10】

図10



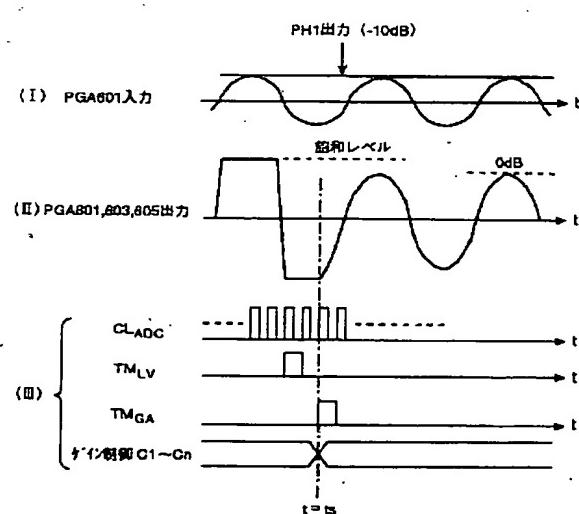
(I) PGA601入力

(II) PGA801,803,805出力

(III) CL-ADC
TM_{LV}
TM_{GA}
ゲイン制御C1-Cn

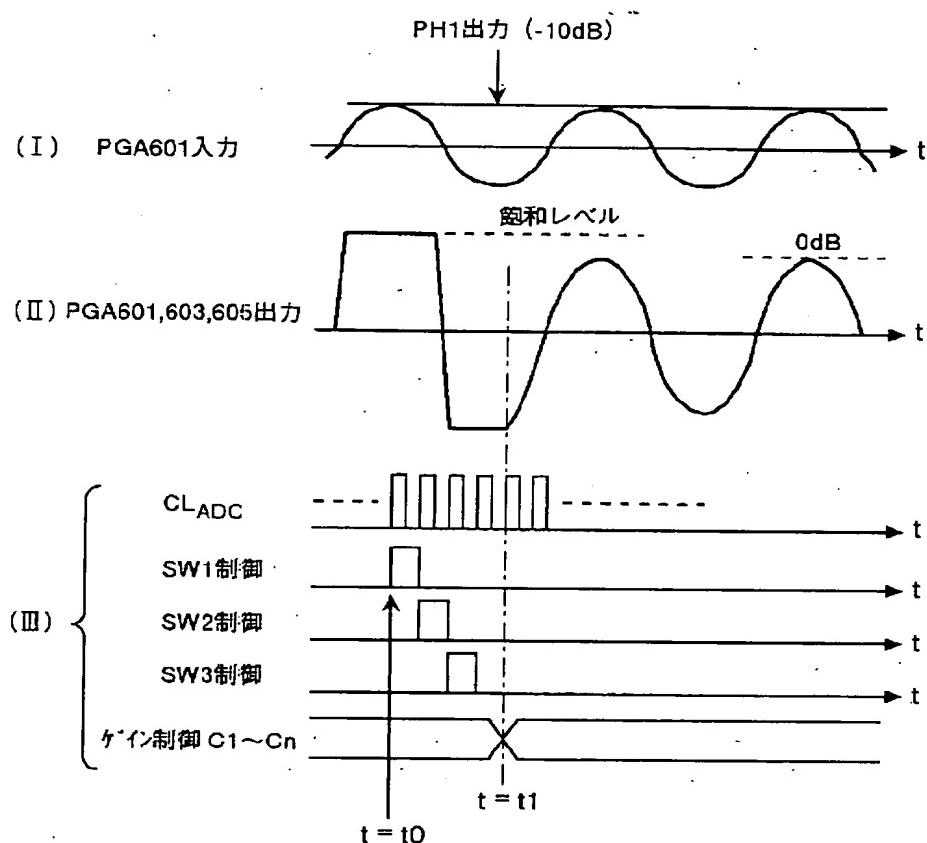
【図11】

図11

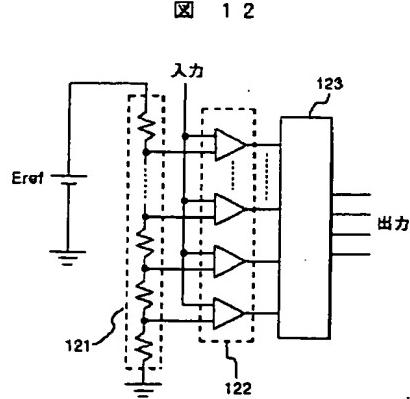


【図7】

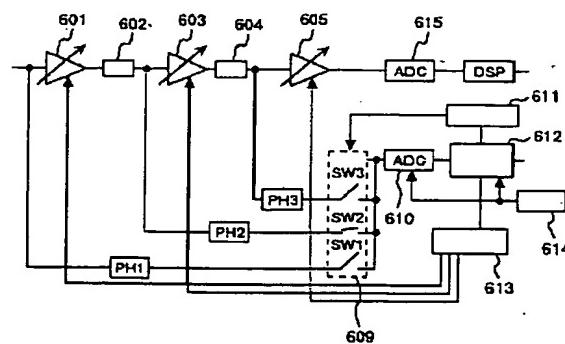
図 7



【図12】



【図13】



【図8】

図 8

